

VISIŠKAI SKAITMENINĖ FAZĖS DERINIMO KILPA

Marijan Jurgo

Vilniaus Gedimino technikos universitetas

El. paštas marijan.jurgo@vgtu.lt

Santrauka. Nagrinėjama fazės derinimo kilpa (FDK), jos veikimas, klasikinės struktūros FDK trūkumai nanometrinėse technologijose, galimi jų sprendimo būdai. Siūlomas perėjimas prie visiškai skaitmeninės fazės derinimo kilpos. Aprašomi pagrindiniai visiškai skaitmeninės FDK blokai – laikinis skaitmeninis keitiklis (LSK) ir skaitmeniniu būdu valdomas generatorius (SVG). Aptariamas LSK ir SVG atsirandantis kvantavimo triukšmas ir jo mažinimo priemonės. Apskaičiuota 65 nm KMOP technologijoje pasiekiamo inverterio vėlinimo trukmė, lygi nuo 8,64 iki 27,71 ps, ir LSK triukšmo lygis, lygus nuo $-104,33$ iki $-82,17$ dBc/Hz, kai inverterio vėlinimo trukmė $t_{res} = 8,64\text{--}27,71$ ps, SVG generuojamo signalo periodas $T_{SVG} = 143\text{--}333$ ps, o atraminio signalo dažnis $F_{REF} = 20\text{--}60$ MHz.

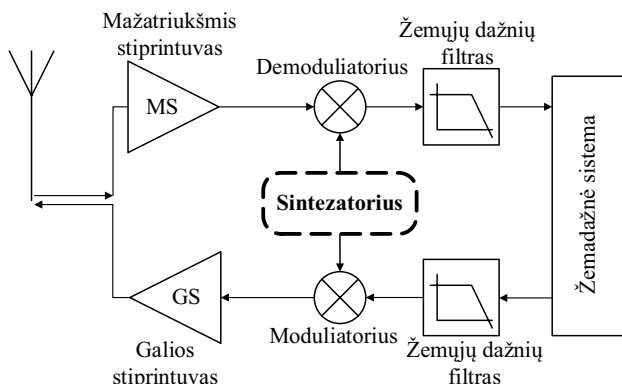
Reikšminiai žodžiai: visiškai skaitmeninė fazės derinimo kilpa, laikinis skaitmeninis keitiklis, skaitmeniniu būdu valdomas generatorius, inverterių vėlinimo linija, Vernier vėlinimo linija.

Įvadas

Fazės derinimo kilpa (FDK, angl. *Phase-Locked Loop*) – grandinė, palaikanti elektronikos įtaisų veikimo tvarką, sinchronizuojanti tarpusavyje įvairias elektronines sistemas pagal dažnį ir (arba) fazę (Best 2007). Gali būti naudojama signalų dažniui atkurti, generuoti, paskirstyti ir pan. Dažnai naudojama kaip dažnio sintetatorius bevielio ryšio siųstuve-imtuve (1 pav.).

Veikimas

Klasikinė fazės derinimo kilpa yra sudaryta iš fazės detektoriaus (FD), krūvio pompos (KP), žemųjų dažnių kilpos filtro (KF), įtampa valdomo generatoriaus (IVG) ir dažnio daliklio iš koeficiento N (2 pav.).

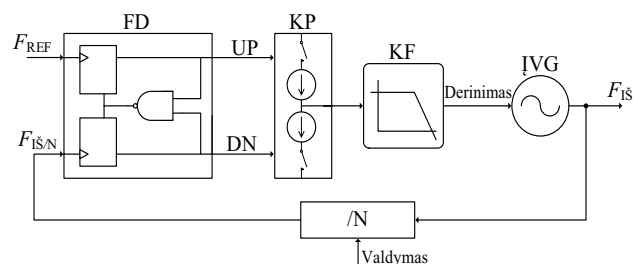


1 pav. Bevielio ryšio siųstuvo-imtuvo blokinė diagrama

Fig. 1. Block diagram of wireless transceiver

Fazės detektorius aptinka fazės skirtumą tarp atraminio signalo F_{REF} ir FDK išėjimo signalo, padalyto iš koeficiento N , $F_{IS/N}$ ir generuoja stačiakampius signalus UP (kai $F_{REF} > F_{IS/N}$) ir DN (kai $F_{REF} < F_{IS/N}$), kurių impulsų ilgiai proporcingi fazės detektoriaus įėjimo signalų dažnio skirtumui. Krūvio pompa, priklausomai nuo gautų signalų UP ir DN, generuoja teigiamuosius arba neigiamuosius srovės impulsus, kuriuos integruoja ir filtruoja žemųjų dažnių kilpos filtras. Priklausomai nuo filtro išėjimo signalo, įtampa valdomas generatorius didina arba mažina generuojamo signalo dažnį, siekiant pašalinti susidariusią fazės klaidą. Kai F_{REF} ir $F_{IS/N}$, signalų dažniai yra sulyginami, kilposūsena tampa suderinta.

Dažnio daliklis dažniausiai yra valdomas (programuojamas), todėl, keisdami dalybos koeficientą, galime keisti kilpos išėjimo dažnį.



2 pav. Klasikinės fazės derinimo kilpos blokinė diagrama

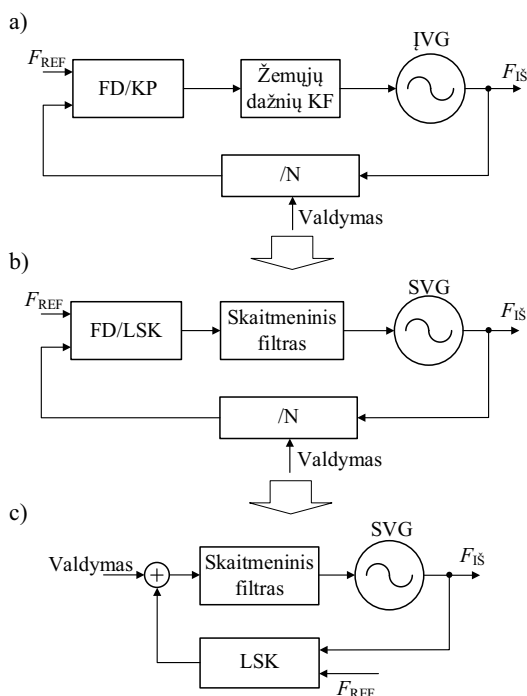
Fig. 2. Block diagram of classical phase-locked loop

Visiškai skaitmeninė FDK

Kaip matyti, pateiktoje struktūroje beveik visi blokai (išskyrus fazės detektorius) yra analoginiai, kuriuos sunku realizuoti nanometrinėse technologijose. Pavyzdžiui, sumažėjus maitinimo įtampai, sumažėja signalo ir triukšmo santykis ir įtampa valdomo generatoriaus perderinimo diapazonas; žemųjų dažnių filtre naudojami didelės talpos kondensatoriai, kurių nuotėkio srovės didėja nanometrinėse technologijose, be to, jie užima didelį plotą, dėl ko dažnai realizuojami už lusto ribų.

Išvardytos problemos sprendžiamos pakeičiant fazės derinimo kilpos struktūrą, t. y. klasikinę fazės derinimo kilpą pakeičiant visiškai skaitmenine (3 pav.) (Temporiti *et al.* 2009; Weltin-Wu *et al.* 2010).

Yra dvi pagrindinės visiškai skaitmeninių fazės derinimo kilpų struktūros. Pirmoji yra gaunama pakeičiant visus klasikinės fazės derinimo kilpos blokus skaitmeniniais atitikmenimis (3 pav., b): fazės detektorius ir krūvio pompa keičiami laikiniu skaitmeniniu keitikliu (LSK, angl. *Time To Digital Converter*), analoginis žemųjų dažnių filtras – skaitmeniniu filtru, įtampa valdomas generatorius – skaitmeniniu būdu valdomu generatoriumi (SVG, angl. *Digitally Controlled Oscillator*). Bet šioje struktūroje lieka dažnio daliklis, kurio funkciją atlieka laikinis skaitmeninis



3 pav. Klasikinės FDK (a) pakeitimas pilnai skaitmenine FDK: pagrindiniai blokai keičiami skaitmeniniais jų analogais (b); pašalinamas dažnio daliklis (c)

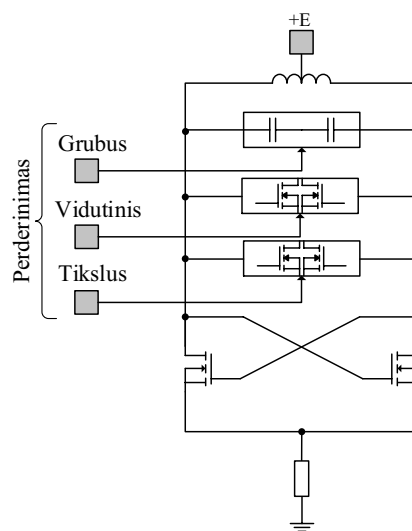
Fig. 3. Replacement of Classical PLL (a) by all-digital PLL: main blocks replaced by their digital counterparts (b); removed feedback divider (c)

keitiklis. Taigi dažnio daliklį galime pašalinti, taip sumažindami lusto plotą ir vartojamąją galią. Gauname antrąją struktūrą (3 pav., c), susidedančią iš LSK, skaitmeninio filtro ir skaitmeniniu būdu valdomo generatoriaus.

Kvantavimo triukšmo mažinimas

Kadangi pateiktoje struktūroje visi signalai ir blokai yra skaitmeniniai, atsiranda kvantavimo triukšmas. Čia yra du pagrindiniai triukšmų šaltiniai: LSK ir SVG. LSK atsirandantis triukšmas yra žemadažnis, SVG – aukštadažnis.

Skaitmeniniu būdu valdomas generatorius. Kaip SVG dažniausiai naudojamas diferencinis rezonansinis LC generatorius, kurio dažnis keičiamas perjungiant rezonansinio LC kontūro talpą. Kvantavimo klaida (ir triukšmas) atsiranda dėl fiksuotų perjungimo talpų dydžių. Taigi kvantavimo klaidą galime mažinti, sumažindami perjunginėjamų talpų dydžius, bet tokiu atveju sumažėja ir perderinimo diapazonas. Tą galime spręsti didindami kondensatorių skaičių, bet taip sudėtingėja jų valdymas. Kaip išeitis gali būti naudojami keli dažnio perderinimo rinkiniai (4 pav.) (Staszewski *et al.* 2005, Lu, Sjoland 2008).



4 pav. Skaitmeniniu būdu valdomo generatoriaus struktūra
Fig. 4. Structure of digitally controlled oscillator

Pavyzdžiui, pradiniam dažnio perderinimui (įjungus įrenginį arba keičiant darbo juostą) gali būti perjungiami didelio nominalo metalo-oksido-metalo (MOM) kondensatoriai, tikslesniam dažniui nustatyti naudojami vidutinio nominalo MOP kondensatoriai, o tiksliai dažnį paderinti (suderintos būsenos) – mažiausio dydžio MOP kondensatoriai. Taip išsaugomas platus perderinimo diapazonas ir išlaikoma maža kvantavimo klaida.

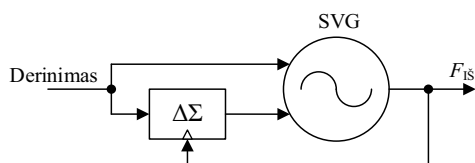
Jei dažnio perderinimo kondensatoriams valdyti naudojamas dvejetainis kodas, gali įvykti tokia situacija, kai

vieno bito pokyčio metu (pvz., 0111 pakito į 1000) perjungiamos visos kontūro talpos. Tam išvengti ir tiesiškumui padidinti gali būti naudojamas termometrinių kodas (Lu, Sjoland 2011).

Dar labiau galime sumažinti kvantavimo klaidą naudodami $\Delta\Sigma$ moduliatorių (5 pav.). Taktuodami jį kilpos išėjimo dažniu, galime greitai perjunginėti kelis mažiausios vertės kondensatorius. Taip galime gauti tarpinę talpos (ir generuojamo dažnio) vertę nepakitus filtro išėjimo signalui.

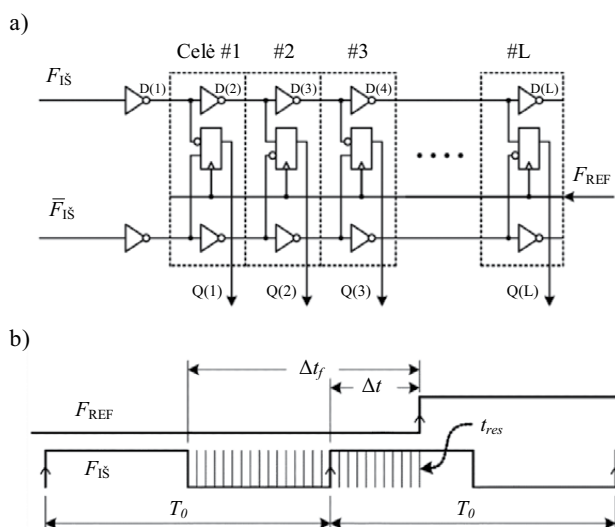
Laikinis skaitmeninis keitiklis. LSK kvantavimo triukšmas atsiranda dėl ribotos laiko trukmės, kurią galime pamatuoti, vertės. Pats paprasčiausias LSK yra sudarytas iš inverterių vėlinimo linijos (6 pav., a) (Staszewski *et al.* 2006; Staszewski *et al.* 2011; Effendrik *et al.* 2011). Inverteris – mažiausią užlaikymo trukmę turintis fiziškai realizuojamas elementas. Todėl mažiausias laiko tarpas, kurį galime pamatuoti tokiu LSK, lygus vieno inverterio užlaikymo trukmei.

Į tokią vėlinimo liniją įjungę generuojamą signalą, atraminio signalo kylančiu frontu galime fiksuoti generuojamo signalo lygį po kiekvieno vėlinimo elemento (6 pav., b). LSK išėjime gaunamas pseudotermometrinis kodas (7 pav.). Jį iškodavę ir suradę tašką, kuriame suvė-



5 pav. Skaitmeniniu būdu valdomas generatoriaus su $\Delta\Sigma$ moduliatoriumi

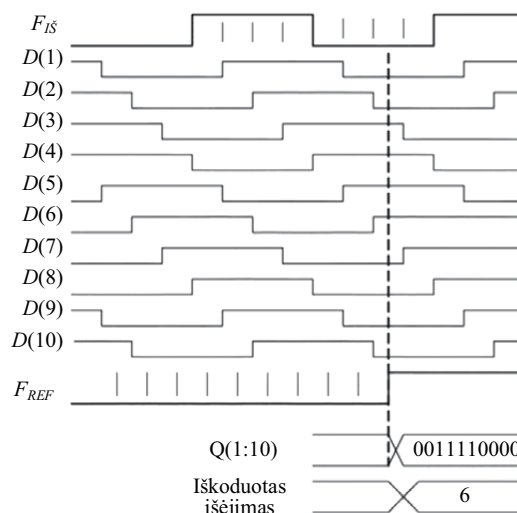
Fig. 5. Digitally controlled oscillator with $\Delta\Sigma$ modulator



6 pav. Laikinis skaitmeninis keitiklis – inverterių vėlinimo linija (a) ir jos signalai (b)

Fig. 6. Time to digital converter – inverter delay line (a) and its signals (b)

linto generuojamo signalo loginis lygis pakito iš loginio „1“ į loginį „0“, žinosime laiko skirtumą tarp atraminio ir generuojamo signalo impulsų kylančių frontų. Šį laiko skirtumą integruodami gauname fazės klaidą tarp atraminio ir kilpos išėjimo signalo. Norint padidinti maksimalią išmatuojamą fazės klaidą, turi būti naudojamas skaitiklis, kuris skaičiuoja generuojamo signalo periodų skaičių atraminio signalo periode.



7 pav. LSK išėjimo, atraminis ir suvėlinti išėjimo signalai
Fig. 7. TDC output, reference and delayed output signals

Vėlinimo linijos elementų skaičius turi būti toks, kad bendra linijos vėlinimo trukmė būtų ne mažesnė nei ilgiausias generuojamo signalo periodas:

$$l \geq \frac{\max(T_{\text{SVG}})}{\min(t_{\text{res}})}, \quad (1)$$

čia T_{SVG} – SVG generuojamo signalo periodas, t_{res} – inverterio vėlinimo trukmė.

Paprastai visi vėlinimo elementai yra vienodi, bet kadangi, esant suderintai kilpos būsenai, naudojami tik pirmieji vėlinimo linijos elementai, galime naudoti skirtingos trukmės vėlinimo elementus: linijos pradžioje naudoti mažiausią vėlinimą turinčius elementus (inverterius), o linijos gale naudoti ilgesnį vėlinimą turinčius elementus (Lu, Sjoland 2011). Pastarieji gali būti gauti prie inverterio išėjimo prijungus kondensatorius. Taip nepadidiname kvantavimo klaidos esant suderintai būsenai, išlaikome bendrą vėlinimo trukmę, bet sumažiname bendrą elementų skaičių, kartu sumažindami vartojamąją galią.

Į lentelėje pateiktos apskaičiuotos inverterio vėlinimo trukmės, priklausomai nuo tranzistorių kanalo ilgio (L) ir pločio (W) 65 nm KMOP technologijoje. Kaip matome, keičiant tranzistorių ilgį ir plotį, galime pasiekti vėlinimą nuo 8,64 iki 27,71 ps.

1 lentelė. Apskaičiuota inverterių vėlinimo trukmė

Table 1. Calculated delay time of inverter

W , nm	t_{res} , ps ($L = 60$ nm),	t_{res} , ps ($L = 120$ nm)	t_{res} , ps ($L = 180$ nm)
120	8,64	15,31	24,08
240	8,94	16,33	26,11
360	8,98	16,64	26,77
480	8,94	16,76	27,08
600	8,91	16,89	27,41
720	8,81	16,90	27,48
840	8,76	16,91	27,54
960	8,74	16,94	27,61
1080	8,73	16,96	27,66
1200	8,72	16,97	27,71

Yra išvesta analitinė LSK kuriamo triukšmo išraiška (Staszewski *et al.* 2005):

$$N = 10 \log \left(\frac{(2\pi)^2}{12} \cdot \left(\frac{t_{res}}{T_{SVG}} \right)^2 \frac{1}{F_{REF}} \right), \quad (2)$$

čia T_{SVG} – SVG generuojamo signalo periodas; t_{res} – inverterio vėlinimo trukmė; F_{REF} – atraminio signalo dažnis.

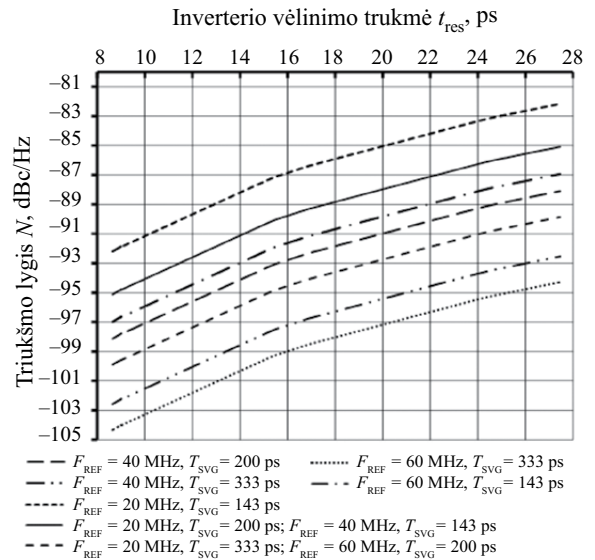
Taigi, naudodami 20–60 MHz dažnio atraminį signalą ir tarę, kad į LSK įėjimą iš SVG siunčiamas 3–7 GHz dažnio signalas, iš 1 lentelės duomenų pagal (2) formulę galime apskaičiuoti pasiekiamą LSK triukšmo lygį. Triukšmo priklausomybių nuo t_{res} , T_{SVG} ir F_{REF} šeima grafiškai pavaizduota 8 pav.

Iš 1 lentelės ir 8 pav. duomenų matyti, kad tranzistorių kanalo ilgiui viršijus 100 nm ribą, –95 dBc/Hz triukšmo lygį, kuris turi būti užtikrintas pagal WiMAX specifikaciją, galime pasiekti didindami atraminio signalo dažnį, o tai padidintų vartojamąją galią. Taigi tokia LSK struktūra gali būti taikoma, kai naudojami nanotranzistoriai, kurių ilgis neviršija 100 nm.

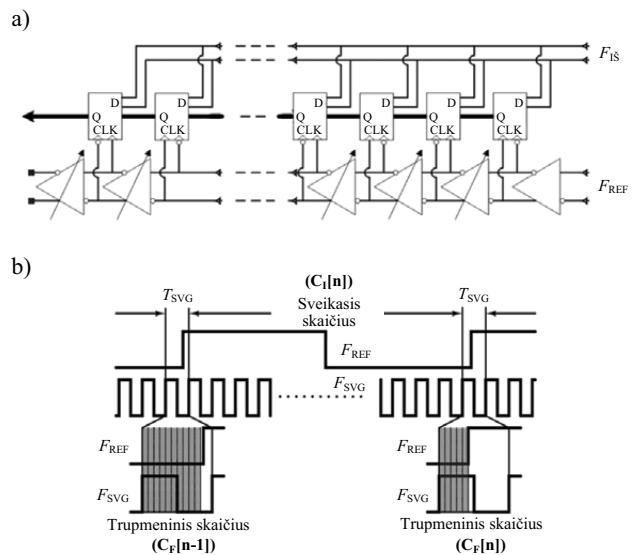
Tuo atveju, jeigu inverterių vėlinimo trukmė neužtikrina reikiamo lygio, galime naudoti kitokią LSK architektūrą, pavyzdžiui, LSK paremta Vernier vėlinimo linija (9 pav.) (Weltin-Wu *et al.* 2010).

Tokiame LSK turi būti naudojami du signalų impulsų skaitikliai – sveikasis ir trupmeninis. Sveikasis skaitiklis skaičiuoja generuojamo signalo periodų skaičių atraminio signalo periode. Trupmeniniu skaitikliu matuojamas laiko tarpas tarp arčiausių generuojamo ir atraminio signalų kylančių frontų.

Klasikinėje Vernier vėlinimo linijoje yra vėlinami du skirtingų periodų signalai, kurių skirtumas lygus tokios vėlinimo linijos laiko skiriamajai gebai (Dudek *et al.* 2000). Bet naudodami du skaitiklius, galime vieno signalo atsikvėlioti – į vėlinimo grandinę jungti ne generuojamąjį signalą, o atraminį. Tokiu atveju suvėlintais atraminio



8 pav. Laikinio skaitmeninio keitiklio triukšmo lygio priklausomybė nuo inverterio vėlinimo trukmės, kai $T_{SVG} = \{143, 200, 333\}$ ps, $F_{REF} = \{20, 40, 60\}$ MHz
Fig. 8. Time to digital converters noise level dependence on inverter delay, when $T_{SVG} = \{143, 200, 333\}$ ps, $F_{REF} = \{20, 40, 60\}$ MHz



9 pav. Laikinis skaitmeninis keitiklis, paremtas Vernier vėlinimo linija (a), ir jos signalai (b)

Fig. 9. Time to digital converter based on Vernier delay line (a) and its signals (b)

signalų kylančiais frontais galime fiksuoti generuojamo signalo loginį lygį.

Kad tokia sistema veiktų, turi būti užtikrinama sąlyga:

$$N \cdot t_{res} = M \cdot \frac{T_{SVG}}{2}; \quad N > M, \quad (3)$$

čia T_{SVG} – SVG generuojamo signalo periodas; t_{res} – inverterio vėlinimo trukmė; N ir M – sveikieji skaičiai.

Jei (3) sąlyga įvykdoma, gauname, kad tokios vėlinimo linijos delso skiriamoji geba yra M kartų mažesnė nei vėlinimo elementų užlaikymo trukmė:

$$t_{\text{lsb}} = \frac{T_{\text{SVG}}}{2N}. \quad (4)$$

Bet (3) sąlyga priklauso nuo generuojamojo signalo periodo. Todėl norint ją išlaikyti, turi būti realizuotas papildomos valdymo, vėlinimo elementų kalibracijos grandinės, didinančios lusto plotą. Vėlinimo trukmę valdyti galime keisdami elementais tekančią srovę.

Išvados

Atlikta fazės derinimo kilpos analizė parodė, kad nanometrinėse technologijose tikslinga klasikinę FDK keisti visiškai skaitmenine FDK:

- fazės detektorius ir krūvio pompa pakeičiami laikiniu skaitmeniniu keitikliu, dėl to nereikia dažnio daliklio;
- analoginis žemujų dažnių filtras pakeičiamas skaitmeniniu ir taip sumažinamas lusto plotas;
- įtampa valdomas generatorius pakeičiamas skaitmeniniu būdu valdomu generatoriumi.

Rekomenduojami visiškai skaitmeninės FDK struktūriniai blokai:

- LSK paremtas Vernier vėlinimo linija – siekiant kuo didesnės skiriamosios gebos arba LSK paremtas vėlinimo linija su skirtingais vėlinimo elementais – siekiant mažiausio ploto, kai galime pasiekti mažesnę nei 10 ps inverterio vėlinimą;
- SVG su keliais termometriniu kodu perjungiamais dažnio derinimo rinkiniais ir $\Delta\Sigma$ moduliatoriumi.

Apskaičiuotos 65 nm KMOP technologijoje pasiekiamos inverterio vėlinimo trukmės, lygios nuo 8,64 iki 27,71 ps, ir LSK triukšmo lygis, lygus nuo $-104,33$ iki $-82,17$ dBc/Hz, kai $t_{\text{res}} = 8,64\text{--}27,71$ ps, $T_{\text{SVG}} = 143\text{--}333$ ps, $F_{\text{REF}} = 20\text{--}60$ MHz.

Padėka

Autorius dėkoja Lietuvos mokslo tarybai už studentų mokslinės praktikos stipendiją, Nr. 7866/SMT12P-012.

Literatūra

- Best, R. 2007. *Phase Locked Loops 6/e: Design, Simulation, and Applications*. McGraw-Hill. 490 p.
- Dudek, P.; Szczepanski, S.; Hatfield, J. V. 2000. A high-resolution CMOS time-to-digital converter utilizing a vernier delay line, *IEEE Transactions on Solid-State Circuits* 35(2): 240–247. <http://dx.doi.org/10.1109/4.823449>

- Effendrik, P.; Jiang, W.; van de Gevel, M.; Verwaal, F.; Staszewski, R. B. 2011. Time-to-digital converter (TDC) for WiMAX ADPLL in 40 nm CMOS, in *20th European Conference on Circuit Theory and Design*: 365–368.
- Lu, P.; Sjoland, H. 2008. A 5.4 GHz 90-nm CMOS Digitally Controlled LC Oscillator with 21% Tuning Range, 1.1MHz resolution, and 180dB FOM, in *Norchip 2008 conf.*, 223–226.
- Lu, P.; Sjoland, H. 2011. A 5 GHz 90-nm CMOS all digital phase-locked loop, *Analog Integrated Circuits and Signal Processing* 66(1): 49–59. <http://dx.doi.org/10.1007/s10470-010-9501-9>
- Staszewski, R. B.; Hung, C.; Barton, N.; Lee, M.; Leipold, D. 2005. A digitally controlled oscillator in a 90 nm digital CMOS process for mobile phones, *IEEE Journal of Solid-State Circuits* 40(11): 2203–2211. <http://dx.doi.org/10.1109/JSSC.2005.857359>
- Staszewski, R. B.; Vemulapalli, S.; Vallur, P.; Wallberg, J.; Balsara, P. T. 2006. 1.3 V 20 ps Time-to-digital converter for frequency synthesis in 90-nm CMOS, *IEEE Transactions on Circuits and Systems II: Express Briefs* 53(3): 220–224. <http://dx.doi.org/10.1109/TCSII.2005.858754>
- Staszewski, R. B.; Waheed, K.; Dülger, F.; Eliezer, O. E. 2011. Spur-free multirate all-digital PLL for mobile phones in 65 nm CMOS, *IEEE Journal of Solid-State Circuits* 40(11): 2904–2919. <http://dx.doi.org/10.1109/JSSC.2011.2162769>
- Staszewski, R. B.; Wallberg, J. L.; Rezeq, S.; Hung, C.; Eliezer, O. E.; Vemulapalli, S. K.; Fernando, C.; Maggio, K.; Staszewski, R.; Barton, N.; Lee, M.; Cruise, P.; Entezari, M.; Muhammad, K.; Leipold, D. 2005. All-digital PLL and transmitter for mobile phones, *IEEE Journal of Solid-State Circuits* 40(12): 2469–2482. <http://dx.doi.org/10.1109/JSSC.2005.857417>
- Temporiti, E.; Weltin-Wu, C.; Baldi, D.; Tonietto, R.; Svelto, F. 2009. A 3 GHz fractional all-digital PLL With a 1.8 MHz bandwidth implementing spur reduction techniques, *IEEE Journal of Solid-State Circuits* 44(3): 824–834. <http://dx.doi.org/10.1109/JSSC.2008.2012363>
- Weltin-Wu, C.; Temporiti, E.; Cusmai, M.; Baldi, D.; Svelto, F. 2010. Insights into wideband fractional ADPLLs: modeling and calibration of nonlinearity induced fractional spurs, *IEEE Transactions on Circuits and Systems I: Regular Papers* 57(9): 2259–2268. <http://dx.doi.org/10.1109/TCSI.2010.2071650>

ALL DIGITAL PHASE-LOCKED LOOP

M. Jurgó

Abstract

The paper reviews working principles of phase-locked loop and drawbacks of classical PLL structure in nanometric technologies. It is proposed to replace the classical structure by all-digital phase-locked loop structure. Authors described the main blocks of all-digital phase-locked loop (time to digital converter and digitally controlled oscillator) and overviewed the quantization noise arising in these blocks as well as its minimization strategies. The calculated inverter delay in 65 nm CMOS technology was from 8.64 to 27.71 ps and time to digital converter quantization noise was from -104.33 to -82.17 dBc/Hz, with $t_{\text{res}} = 8.64\text{--}27.71$ ps, $T_{\text{SVG}} = 143\text{--}333$ ps, $F_{\text{REF}} = 20\text{--}60$ MHz.

Keywords: all digital phase-locked loop, time to digital converter, digitally controlled oscillator, inverter delay line, Vernier delay line.